

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-338620

(43)Date of publication of application : 06.12.1994

(51)Int.Cl.

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 06-051662

(71)Applicant : CITIZEN WATCH CO LTD

(22)Date of filing : 23.03.1994

(72)Inventor : KISHI TOSHIYUKI  
TOIDA TAKASHI

(30)Priority

Priority number : 05 97293

Priority date : 31.03.1993

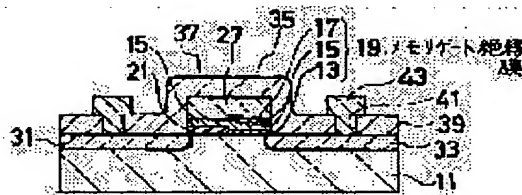
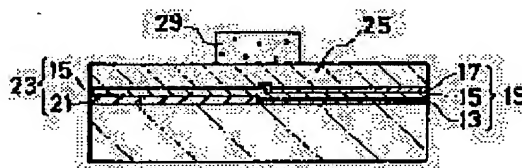
Priority country : JP

## (54) NON-VOLATILE SEMICONDUCTOR MEMORY AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To suppress the fluctuation in the threshold voltage of a MOS transistor by a method wherein a gate electrode is provided on a memory gate insulating film and a MOS gate insulating film and then a source region, a drain region and an interlayer insulating film are connected to the gate electrode region by wirings through contact holes.

CONSTITUTION: A memory gate insulating film 19 comprising a tunnel oxide film 13, a silicon nitride film 15 and a top oxide film 17 is provided on a semiconductor substrate 11. Next, a MOS gate insulating film 23 comprising a silicon oxide film 21 and the silicon nitride film 15 is provided adjacently to the memory gate insulating film 19. Next, a gate electrode 27 is provided on the memory gate insulating film 19 and the MOS gate insulating film 23. Next, an interlayer insulating film 39 having a source region 31, a drain region 33 and contact holes is arranged in the matching region with the gate electrode 27. Finally, wirings 43 are formed in contact holes and then the source 31 and the drain region 33 are connected to each other thereby enabling the threshold value of a MOS transistor to be suppressed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision  
of rejection]  
[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

 CLAIMS
 

---

## [Claim(s)]

[Claim 1] The semi-conductor nonvolatile storage characterized by to have the gate electrode prepared on the MOS gate dielectric film which consists of memory gate dielectric film which consists of the tunnel oxide film and the silicon nitride film which are prepared in a semi-conductor substrate, and a top oxide film, and the silicon oxide film and a silicon nitride film, and memory gate dielectric film and MOS gate dielectric film, the source field drain field which establish in the field which the gate electrode adjusted, the interlayer insulation film which have a contact hole, and wiring which connect with a source field drain field through a contact hole.

[Claim 2] The memory gate dielectric film which consists of the tunnel oxide film and silicon nitride film which are prepared in a semi-conductor substrate,

and a top oxide film, The MOS gate dielectric film which consists of silicon oxide film and a silicon nitride film, The gate electrode prepared on memory gate dielectric film and MOS gate dielectric film, The source field drain field established in the field which the gate electrode adjusted, and the interlayer insulation film which has a contact hole, It is the semi-conductor nonvolatile storage which is equipped with wiring connected with a source field drain field through a contact hole, and is characterized by the silicon nitride film of memory gate dielectric film and the silicon nitride film of MOS gate dielectric film being the almost same thickness.

[Claim 3] The memory gate dielectric film which consists of the tunnel oxide film and silicon nitride film which are prepared in a semi-conductor substrate, and a top oxide film, The MOS gate dielectric film which consists of silicon oxide film which adjoins memory gate dielectric film and is prepared, and a silicon nitride film, The gate electrode prepared on memory gate dielectric film and MOS gate dielectric film, The source field drain field established in the field which the gate electrode adjusted, and the interlayer insulation film which has a contact hole, The semi-conductor nonvolatile storage characterized by having wiring connected with a source field drain field through a contact hole, adjoining a memory transistor, and

preparing an MOS transistor.

[Claim 4] The memory gate dielectric film which consists of the tunnel oxide film and silicon nitride film which are prepared in a semi-conductor substrate, and a top oxide film, The MOS gate dielectric film which consists of silicon oxide film prepared in the both sides of memory gate dielectric film, and a silicon nitride film, The gate electrode prepared on memory gate dielectric film and MOS gate dielectric film, The source field drain field established in the field which the gate electrode adjusted, and the interlayer insulation film which has a contact hole, The semi-conductor nonvolatile storage characterized by having wiring connected with a source field drain field through a contact hole, and preparing an MOS transistor in the both sides of a memory transistor.

[Claim 5] The process which forms the silicon oxide film on a semi-conductor substrate, forms a photopolymer on the silicon oxide film, uses a photopolymer for an etching mask, and carries out patterning of the silicon oxide film, The process which forms a tunnel oxide film, a silicon nitride film, and a top oxide film, forms a photopolymer on a top oxide film, uses a photopolymer for an etching mask, and removes a top oxide film, The process which forms a gate electrode material in the whole surface, and forms a photopolymer on a gate electrode material, Use a photopolymer for an

etching mask, carry out patterning of the gate electrode material, and a gate electrode is formed. The process which furthermore carries out patterning of the silicon nitride film, introduces an impurity into the semi-conductor substrate of the field which the gate electrode adjusted after that, and forms a source field and a drain field, The manufacture approach of the semi-conductor nonvolatile storage which forms an interlayer insulation film in the whole surface, carries out patterning of the interlayer insulation film using a photopolymer, and is characterized by having the process which forms a contact hole and forms wiring.

[Claim 6] The process which forms the silicon oxide film on a semi-conductor substrate, forms a photopolymer on the silicon oxide film, uses a photopolymer for an etching mask, and carries out patterning of the silicon oxide film, The process which forms a tunnel oxide film, a silicon nitride film, and a top oxide film, forms a photopolymer on a top oxide film, uses a photopolymer for an etching mask, and removes the top oxide film of the field on the silicon oxide film, The process which forms a gate electrode material in the whole surface, and forms a photopolymer on a gate electrode material, Use a photopolymer for an etching mask, carry out patterning of the gate electrode material, and a gate electrode is formed. The process which

furthermore carries out patterning of the silicon nitride film, introduces the impurity of the conductivity type of this semi-conductor substrate, and a reverse conductivity type into the semi-conductor substrate of the field which the gate electrode adjusted after that, and forms a source field and a drain field, The manufacture approach of the semi-conductor nonvolatile storage which forms an interlayer insulation film in the whole surface, carries out patterning of the interlayer insulation film using a photopolymer, and is characterized by having the process which forms a contact hole and forms wiring.

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The semi-conductor nonvolatile storage characterized by to have the gate electrode prepared on the MOS gate dielectric film which consists of memory gate dielectric film which consists of the

tunnel oxide film and the silicon nitride film which are prepared in a semi-conductor substrate, and a top oxide film, and the silicon oxide film and a silicon nitride film, and memory gate dielectric film and MOS gate dielectric film, the source field drain field which establish in the field which the gate electrode adjusted, the interlayer insulation film which have a contact hole, and wiring which connect with a source field drain field through a contact hole.

[Claim 2] The memory gate dielectric film which consists of the tunnel oxide film and silicon nitride film which are prepared in a semi-conductor substrate, and a top oxide film, The MOS gate dielectric film which consists of silicon oxide film and a silicon nitride film, The gate electrode prepared on memory gate dielectric film and MOS gate dielectric film, The source field drain field established in the field which the gate electrode adjusted, and the interlayer insulation film which has a contact hole, It is the semi-conductor nonvolatile storage which is equipped with wiring connected with a source field drain field through a contact hole, and is characterized by the silicon nitride film of memory gate dielectric film and the silicon nitride film of MOS gate dielectric film being the almost same thickness.

[Claim 3] The memory gate dielectric film which consists of the tunnel oxide film and silicon nitride film which are

prepared in a semi-conductor substrate, and a top oxide film, The MOS gate dielectric film which consists of silicon oxide film which adjoins memory gate dielectric film and is prepared, and a silicon nitride film, The gate electrode prepared on memory gate dielectric film and MOS gate dielectric film, The source field drain field established in the field which the gate electrode adjusted, and the interlayer insulation film which has a contact hole, The semi-conductor nonvolatile storage characterized by having wiring connected with a source field drain field through a contact hole, adjoining a memory transistor, and preparing an MOS transistor.

[Claim 4] The memory gate dielectric film which consists of the tunnel oxide film and silicon nitride film which are prepared in a semi-conductor substrate, and a top oxide film, The MOS gate dielectric film which consists of silicon oxide film prepared in the both sides of memory gate dielectric film, and a silicon nitride film, The gate electrode prepared on memory gate dielectric film and MOS gate dielectric film, The source field drain field established in the field which the gate electrode adjusted, and the interlayer insulation film which has a contact hole, The semi-conductor nonvolatile storage characterized by having wiring connected with a source field drain field through a contact hole, and preparing an MOS transistor in the

both sides of a memory transistor.

[Claim 5] The process which forms the silicon oxide film on a semi-conductor substrate, forms a photopolymer on the silicon oxide film, uses a photopolymer for an etching mask, and carries out patterning of the silicon oxide film, The process which forms a tunnel oxide film, a silicon nitride film, and a top oxide film, forms a photopolymer on a top oxide film, uses a photopolymer for an etching mask, and removes a top oxide film, The process which forms a gate electrode material in the whole surface, and forms a photopolymer on a gate electrode material, Use a photopolymer for an etching mask, carry out patterning of the gate electrode material, and a gate electrode is formed. The process which furthermore carries out patterning of the silicon nitride film, introduces an impurity into the semi-conductor substrate of the field which the gate electrode adjusted after that, and forms a source field and a drain field, The manufacture approach of the semi-conductor nonvolatile storage which forms an interlayer insulation film in the whole surface, carries out patterning of the interlayer insulation film using a photopolymer, and is characterized by having the process which forms a contact hole and forms wiring.

[Claim 6] The process which forms the silicon oxide film on a semi-conductor substrate, forms a photopolymer on the

silicon oxide film, uses a photopolymer for an etching mask, and carries out patterning of the silicon oxide film, The process which forms a tunnel oxide film, a silicon nitride film, and a top oxide film, forms a photopolymer on a top oxide film, uses a photopolymer for an etching mask, and removes the top oxide film of the field on the silicon oxide film, The process which forms a gate electrode material in the whole surface, and forms a photopolymer on a gate electrode material, Use a photopolymer for an etching mask, carry out patterning of the gate electrode material, and a gate electrode is formed. The process which furthermore carries out patterning of the silicon nitride film, introduces the impurity of the conductivity type of this semi-conductor substrate, and a reverse conductivity type into the semi-conductor substrate of the field which the gate electrode adjusted after that, and forms a source field and a drain field, The manufacture approach of the semi-conductor nonvolatile storage which forms an interlayer insulation film in the whole surface, carries out patterning of the interlayer insulation film using a photopolymer, and is characterized by having the process which forms a contact hole and forms wiring.

---

#### DESCRIPTION OF DRAWINGS

---

##### [Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the manufacture approach of the semi-conductor nonvolatile storage in the example of this invention.

[Drawing 2] It is the sectional view showing the manufacture approach of the semi-conductor nonvolatile storage in the example of this invention.

[Drawing 3] It is the sectional view showing the manufacture approach of the semi-conductor nonvolatile storage in the example of this invention.

[Drawing 4] It is the sectional view showing the manufacture approach of the semi-conductor nonvolatile storage in the example of this invention.

[Drawing 5] It is the sectional view showing the structure and the manufacture approach of a semi-conductor nonvolatile storage in the example of this invention.

[Drawing 6] It is the sectional view showing the manufacture approach of the semi-conductor nonvolatile storage in the example of this invention.

[Drawing 7] It is the sectional view showing the manufacture approach of the semi-conductor nonvolatile storage in the example of this invention.

[Drawing 8] It is the sectional view showing the manufacture approach of the semi-conductor nonvolatile storage in the example of this invention.

[Drawing 9] It is the sectional view showing the manufacture approach of the semi-conductor nonvolatile storage in the

example of this invention.

[Drawing 10] It is the sectional view showing the structure and the manufacture approach of a semi-conductor nonvolatile storage in the example of this invention.

[Drawing 11] It is the sectional view showing the structure of the semi-conductor nonvolatile storage in the conventional example.

[Description of Notations]

13 Tunnel Oxide Film

15 Silicon Nitride Film

17 Top Oxide Film

19 Memory Gate Dielectric Film

21 Silicon Oxide Film

23 MOS Gate Dielectric Film

27 Gate Electrode



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-338620

(43) 公開日 平成6年(1994)12月6日

(51) Int.Cl.<sup>5</sup>

H 0 1 L 29/788

29/792

27/115

識別記号

庁内整理番号

F I

技術表示箇所

7210-4M

H 0 1 L 29/ 78

3 7 1

27/ 10

4 3 4

審査請求 未請求 請求項の数6 O L (全 8 頁)

(21) 出願番号 特願平6-51662

(22) 出願日 平成6年(1994)3月23日

(31) 優先権主張番号 特願平5-97293

(32) 優先日 平5(1993)3月31日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001960

シチズン時計株式会社

東京都新宿区西新宿2丁目1番1号

(72) 発明者 岸 敏幸

埼玉県所沢市大字下富字武野840番地 シ

チズン時計株式会社技術研究所内

(72) 発明者 戸井田 孝志

埼玉県所沢市大字下富字武野840番地 シ

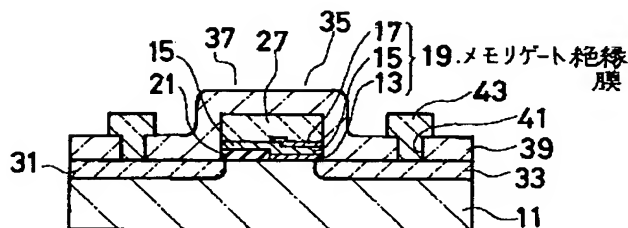
チズン時計株式会社技術研究所内

(54) 【発明の名称】 半導体不揮発性記憶装置およびその製造方法

(57) 【要約】

【構成】 半導体基板11に設けるトンネル酸化膜13と窒化シリコン膜15とトップ酸化膜17とからなるメモリゲート絶縁膜19と、メモリゲート絶縁膜に隣接して設ける酸化シリコン膜21と窒化シリコン膜15とからなるMOSゲート絶縁膜23と、メモリゲート絶縁膜とMOSゲート絶縁膜との上に設けるゲート電極27と、ゲート電極の整合した領域に設けるソース領域31とドレイン領域33と、コンタクトホール41を有する層間絶縁膜39と、コンタクトホールを介してソース領域ドレイン領域と接続する配線43とを有する半導体不揮発性記憶装置およびその製造方法。

【効果】 ゲート電極からの不純物の拡散を窒化シリコン膜で抑えることができる。このため、MOSトランジスタのしきい値電圧の変動を抑えることが可能となり、高い信頼性を有する半導体不揮発性記憶装置が得られる。



## 【特許請求の範囲】

【請求項1】 半導体基板に設けるトンネル酸化膜と窒化シリコン膜とトップ酸化膜とからなるメモリゲート絶縁膜と、酸化シリコン膜と窒化シリコン膜とからなるMOSゲート絶縁膜と、メモリゲート絶縁膜とMOSゲート絶縁膜との上に設けるゲート電極と、ゲート電極の整合した領域に設けるソース領域ドレイン領域と、コンタクトホールを有する層間絶縁膜と、コンタクトホールを介してソース領域ドレイン領域と接続する配線とを有することを特徴とする半導体不揮発性記憶装置。

【請求項2】 半導体基板に設けるトンネル酸化膜と窒化シリコン膜とトップ酸化膜とからなるメモリゲート絶縁膜と、酸化シリコン膜と窒化シリコン膜とからなるMOSゲート絶縁膜と、メモリゲート絶縁膜とMOSゲート絶縁膜との上に設けるゲート電極と、ゲート電極の整合した領域に設けるソース領域ドレイン領域と、コンタクトホールを有する層間絶縁膜と、コンタクトホールを介してソース領域ドレイン領域と接続する配線とを備え、メモリゲート絶縁膜の窒化シリコン膜とMOSゲート絶縁膜の窒化シリコン膜とはほぼ同じ膜厚であることを特徴とする半導体不揮発性記憶装置。

【請求項3】 半導体基板に設けるトンネル酸化膜と窒化シリコン膜とトップ酸化膜とからなるメモリゲート絶縁膜と、メモリゲート絶縁膜に隣接して設ける酸化シリコン膜と窒化シリコン膜とからなるMOSゲート絶縁膜と、メモリゲート絶縁膜とMOSゲート絶縁膜との上に設けるゲート電極と、ゲート電極の整合した領域に設けるソース領域ドレイン領域と、コンタクトホールを有する層間絶縁膜と、コンタクトホールを介してソース領域ドレイン領域と接続する配線とを備え、メモリトランジスタに隣接してMOSトランジスタを設けることを特徴とする半導体不揮発性記憶装置。

【請求項4】 半導体基板に設けるトンネル酸化膜と窒化シリコン膜とトップ酸化膜とからなるメモリゲート絶縁膜と、メモリゲート絶縁膜の両側に設ける酸化シリコン膜と窒化シリコン膜とからなるMOSゲート絶縁膜と、メモリゲート絶縁膜とMOSゲート絶縁膜との上に設けるゲート電極と、ゲート電極の整合した領域に設けるソース領域ドレイン領域と、コンタクトホールを有する層間絶縁膜と、コンタクトホールを介してソース領域ドレイン領域と接続する配線とを備え、メモリトランジスタの両側にMOSトランジスタを設けることを特徴とする半導体不揮発性記憶装置。

【請求項5】 半導体基板上に酸化シリコン膜を形成し、酸化シリコン膜上に感光性樹脂を形成し、感光性樹脂をエッチングマスクに用いて酸化シリコン膜をパターンニングする工程と、トンネル酸化膜と窒化シリコン膜とトップ酸化膜とを形成し、トップ酸化膜上に感光性樹脂を形成し、感光性樹脂をエッチングマスクに用いてトップ酸化膜を除去する工程と、全面にゲート電極材料を形

成し、ゲート電極材料上に感光性樹脂を形成する工程と、感光性樹脂をエッチングマスクに用いてゲート電極材料をパターンニングしてゲート電極を形成し、さらに窒化シリコン膜をパターンニングし、その後ゲート電極の整合した領域の半導体基板に不純物を導入してソース領域とドレイン領域を形成する工程と、全面に層間絶縁膜を形成し、感光性樹脂を用いて層間絶縁膜をパターンニングしてコンタクトホールを形成し、配線を形成する工程とを有することを特徴とする半導体不揮発性記憶装置の製造方法。

【請求項6】 半導体基板上に酸化シリコン膜を形成し、酸化シリコン膜上に感光性樹脂を形成し、感光性樹脂をエッチングマスクに用いて酸化シリコン膜をパターンニングする工程と、トンネル酸化膜と窒化シリコン膜とトップ酸化膜とを形成し、トップ酸化膜上に感光性樹脂を形成し、感光性樹脂をエッチングマスクに用いて酸化シリコン膜上の領域のトップ酸化膜を除去する工程と、全面にゲート電極材料を形成し、ゲート電極材料上に感光性樹脂を形成する工程と、感光性樹脂をエッチングマスクに用いてゲート電極材料をパターンニングしてゲート電極を形成し、さらに窒化シリコン膜をパターンニングし、その後ゲート電極の整合した領域の半導体基板にこの半導体基板の導電型と逆導電型の不純物を導入してソース領域とドレイン領域とを形成する工程と、全面に層間絶縁膜を形成し、感光性樹脂を用いて層間絶縁膜をパターンニングしてコンタクトホールを形成し、配線を形成する工程とを有することを特徴とする半導体不揮発性記憶装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体不揮発性記憶装置の構造とその製造方法とに関し、とくにゲート電極－シリコン酸化膜からなるトップ酸化膜－窒化シリコン膜－シリコン酸化膜からなるトンネル酸化膜－半導体基板構造からなる、いわゆるMONOS構造を有する半導体不揮発性記憶装置の構造と、その構造を形成するための製造方法とに関する。

## 【0002】

【従来の技術】 MONOS構造を有するメモリトランジスタにおいては、窒化シリコン膜とトップ酸化膜との界面に電荷を蓄積させたときのしきい値電圧と、電荷を蓄積していないときのしきい値電圧との電圧差を利用して、情報を記憶させている。

【0003】 このMONOS構造のメモリトランジスタは、電荷を蓄積していないときは、しきい値電圧が負であることから、ゲート電極下のチャネル領域にチャネルが形成されてしまう。

【0004】 このとき、ソース領域からドレイン領域に流れるドレイン電流が流れないように、メモリトランジスタが選択されたときのみ、ドレイン電流が流れるよう

にするためMOS（金属-酸化膜-半導体）トランジスタを必要とする。

【0005】このメモリトランジスタとMOSトランジスタとを有する半導体不揮発性記憶装置として、たとえば特開平4-337672号公報に記載のものがある。この公報に記載のメモリトランジスタとMOSトランジスタとの構造を、図11の断面図を用いて説明する。

【0006】図11に示すように、MOSゲート絶縁膜23とメモリゲート絶縁膜19とはお互いに接触するように、半導体基板11上に設ける。そして、メモリゲート絶縁膜19はトップ酸化膜17と窒化シリコン膜15とトンネル酸化膜13とからなり、MOSゲート絶縁膜23は酸化シリコン膜21からなる。

【0007】そしてこのメモリゲート絶縁膜19とMOSゲート絶縁膜23との上に、不純物を高濃度を含むゲート電極27を設ける。

【0008】さらにこのゲート電極27の整合した領域の半導体基板11にソース領域31とドレイン領域33とを設ける。すなわちメモリトランジスタ35とMOSトランジスタ37とを、お互いに接触するように隣接して設けている。

【0009】

【発明が解決しようとする課題】この図11を用いて説明した半導体不揮発性記憶装置においては、メモリトランジスタ35とMOSトランジスタ37とを接触するように設けているので、半導体不揮発性記憶装置の小型化を図ることができるという利点を有する。

【0010】しかし図11に示す半導体不揮発性記憶装置においては、ゲート電極27の不純物がMOSゲート絶縁膜23を介して、半導体基板11に拡散するという課題点を有する。

【0011】ゲート電極27に含まれる不純物が半導体基板11に導入されると、半導体基板11の不純物濃度が増加して、MOSトランジスタのしきい値電圧が変動してしまうという問題点が発生する。

【0012】本発明の目的は、上記課題を解決して、MOSトランジスタのしきい値電圧が変動しない半導体不揮発性記憶装置の構造と、この構造を得るための製造方法とを提供することである。

【0013】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体不揮発性記憶装置の構造とその製造方法とは、下記記載の手段を採用する。

【0014】本発明における半導体不揮発性記憶装置は、半導体基板に設けるトンネル酸化膜と窒化シリコン膜とトップ酸化膜とからなるメモリゲート絶縁膜と、酸化シリコン膜と窒化シリコン膜とからなるMOSゲート絶縁膜と、メモリゲート絶縁膜とMOSゲート絶縁膜との上に設けるゲート電極と、ゲート電極の整合した領域に設けるソース領域ドレイン領域と、コンタクトホール

を有する層間絶縁膜と、コンタクトホールを介してソース領域ドレイン領域と接続する配線とを有することを特徴とする。

【0015】本発明における半導体不揮発性記憶装置の製造方法は、半導体基板上に酸化シリコン膜を形成し、酸化シリコン膜上に感光性樹脂を形成し、感光性樹脂をエッチングマスクに用いて酸化シリコン膜をパターンニングする工程と、トンネル酸化膜と窒化シリコン膜とトップ酸化膜を形成し、トップ酸化膜上に感光性樹脂を形成し、感光性樹脂をエッチングマスクに用いてトップ酸化膜を除去する工程と、全面にゲート電極材料を形成し、ゲート電極材料上に感光性樹脂を形成する工程と、感光性樹脂をエッチングマスクに用いてゲート電極材料をパターンニングしてゲート電極を形成し、さらに窒化シリコン膜をパターンニングし、その後ゲート電極の整合した領域の半導体基板に不純物を導入してソース領域とドレイン領域を形成する工程と、全面に層間絶縁膜を形成し、感光性樹脂を用いて層間絶縁膜をパターンニングしてコンタクトホールを形成し、配線を形成する工程とを有することを特徴とする。

【0016】

【作用】本発明の半導体不揮発性記憶装置は、MOSゲート絶縁膜として、酸化シリコン膜と窒化シリコン膜との二層構造によって構成している。

【0017】このため本発明の半導体不揮発性記憶装置においては、ゲート電極からの不純物の拡散を窒化シリコン膜によって抑制し、不純物の半導体基板への導入を抑え、MOSトランジスタのしきい値電圧の変動は発生しない。

【0018】

【実施例】以下図面を用いて本発明の実施例を説明する。なお本発明の半導体不揮発性記憶装置の構造と製造方法とを示す図1から図10においては、素子間の絶縁分離を行う素子分離絶縁膜の図示は省略してある。

【0019】まずはじめに、図5の断面図を用いて本発明の半導体不揮発性記憶装置の構造を説明する。

【0020】図5に示すように、本発明の半導体不揮発性記憶装置は、半導体基板11上に設けるトンネル酸化膜13と窒化シリコン膜15とトップ酸化膜17とからなるメモリゲート絶縁膜19を有する。

【0021】さらにこのメモリゲート絶縁膜19に隣接して半導体基板11上に、酸化シリコン膜21と窒化シリコン膜15とからなるMOSゲート絶縁膜23を設ける。すなわち、メモリゲート絶縁膜19とMOSゲート絶縁膜23とはお互いに接触するように設ける。そして、メモリゲート絶縁膜19の窒化シリコン膜15と、MOSゲート絶縁膜23の窒化シリコン膜15とは、ほぼ同じ膜厚とする。

【0022】そしてこのメモリゲート絶縁膜19とMOSゲート絶縁膜23との上にゲート電極27を設ける。

【0023】さらにゲート電極27に整合した領域に、半導体基板11と逆導電型のソース領域31とドレイン領域33とを設ける。

【0024】さらにコンタクトホール41を有する層間絶縁膜39を設ける。そしてこのコンタクトホール41を介して、ソース領域31とドレイン領域33と接続する配線43を設ける。

【0025】本発明の半導体不揮発性記憶装置は、MOSゲート絶縁膜23として、酸化シリコン膜21と窒化シリコン膜15との二層構造によって構成している。

【0026】このため本発明の半導体不揮発性記憶装置においては、ゲート電極27からの不純物の拡散を窒化シリコン膜21によって抑制し、不純物の半導体基板11への導入を抑えることができる。この結果、MOSトランジスタのしきい値電圧の変動は発生しない。

【0027】つぎにこの図5に示す半導体不揮発性記憶装置を形成するための製造方法を、図1から図5の断面図を用いて説明する。

【0028】まず図1に示すように、導電型がN型の半導体基板11を酸化処理して、シリコン酸化膜からなる酸化シリコン膜21を29nmの膜厚で形成する。

【0029】この酸化シリコン膜21の形成は、酸素と窒素との混合ガス雰囲気中で、温度1000℃、時間30分の条件で行う。

【0030】その後、回転塗布法により酸化シリコン膜21上の全面に感光性樹脂29を形成し、所定のフォトマスクを用いて露光処理と、現像処理を行い、MOSトランジスタの形成領域を含む領域に感光性樹脂29を形成するように、パターンニングする。

【0031】つぎに図2に示すように、感光性樹脂29をエッチングマスクに用いて酸化シリコン膜21のパターンニングを行う。

【0032】この酸化シリコン膜21のエッチングは、フッ酸系のエッチング液を用いるウエットエッチングにより行う。

【0033】その後、エッチングマスクに用いた、酸化シリコン膜21上の感光性樹脂29を除去する。

【0034】その後、酸化処理を行い半導体基板11上の酸化シリコン膜21を形成していない領域に、膜厚が2nmのシリコン酸化膜からなるトンネル酸化膜13を形成する。

【0035】このトンネル酸化膜13の形成は、酸素と窒素との混合ガス雰囲気中で、温度900℃で、時間30分の酸化処理を行うことで形成する。

【0036】この酸化処理により酸化シリコン膜21の膜厚は増加し、前述の29nmの膜厚が30nmの膜厚になる。

【0037】その後、ジクロルシラン( $\text{SiH}_2\text{Cl}_2$ )とアンモニア( $\text{NH}_3$ )とを反応ガスとして用いる化学気相成長法により、膜厚が11nmの窒化シリコン

膜15を全面に形成する。

【0038】その後、酸化処理を行って窒化シリコン膜15上にシリコン酸化膜からなるトップ酸化膜17を膜厚5nm形成する。このトップ酸化膜17を窒化シリコン膜15上に形成することにより、窒化シリコン膜15の膜厚は減少し、当初の膜厚11nmから8nmの膜厚になる。

【0039】このトップ酸化膜17の形成は、水蒸気酸化雰囲気中で、温度950℃、時間60分の条件によって行う。

【0040】その後、回転塗布法により全面に感光性樹脂29を形成し、所定のフォトマスクを用いて露光、現像処理を行い、MOSトランジスタの形成領域を含む領域が開口するように、すなわち酸化シリコン膜21上の領域が開口するように感光性樹脂29をパターンニングする。

【0041】つぎに図3に示すように、感光性樹脂29をエッチングマスクに用いて、感光性樹脂29を形成していない領域のトップ酸化膜17を除去する。

【0042】このトップ酸化膜17のエッチングは、フッ酸系のエッチング液を用いるウエットエッチングにより行う。

【0043】その後、エッチングマスクに用いた、トップ酸化膜17上の感光性樹脂29を除去する。

【0044】この結果、MOSトランジスタの形成領域に酸化シリコン膜21と窒化シリコン膜15とからなるMOSゲート絶縁膜23と、メモリトランジスタの形成領域にトンネル酸化膜13と窒化シリコン膜15とトップ酸化膜17とからなるメモリゲート絶縁膜19とを形成することができる。ここでMOSゲート絶縁膜23を構成する窒化シリコン膜15と、メモリゲート絶縁膜19を構成する窒化シリコン膜15とは、ほぼ同じ膜厚で形成する。

【0045】その後、反応ガスとしてモノシラン( $\text{SiH}_4$ )を用いる化学気相成長法により、膜厚が400nmの多結晶シリコン膜からなるゲート電極材料25を全面に形成する。

【0046】その後、回転塗布法によりゲート電極材料25上の全面に感光性樹脂29を形成し、所定のフォトマスクを用いて露光、現像処理を行い、メモリトランジスタとMOSトランジスタの形成領域上に感光性樹脂29を形成するように、パターンニングする。

【0047】つぎに図4に示すように、感光性樹脂29をエッチングマスクに用いて、ゲート電極材料25をエッチングしてゲート電極27を形成する。

【0048】このゲート電極27のエッチングは、反応性イオンエッチング装置を用いて、エッチングガスとして六フッ化イオウ( $\text{SF}_6$ )と酸素( $\text{O}_2$ )との混合ガスを用いて行う。

【0049】さらに感光性樹脂29をエッチングマスク

に用いて窒化シリコン膜15をエッチングする。

【0050】この窒化シリコン膜15のエッチングは、反応性イオンエッチング装置を用いて、エッチングガスとして六フッ化イオウ（ $\text{SF}_6$ ）とヘリウム（ $\text{He}$ ）と三フッ化メタン（ $\text{CHF}_3$ ）との混合ガスを用いて行う。

【0051】その後、ゲート電極材料25と窒化シリコン膜15とのエッチングマスクに用いた感光性樹脂29を除去する。

【0052】この結果、ゲート電極27の下の領域にトンネル酸化膜13と窒化シリコン膜15とトップ酸化膜17とからなるメモリゲート絶縁膜19と、酸化シリコン膜21と窒化シリコン膜15とからなるMOSゲート絶縁膜23とを形成することができる。

【0053】その後、ゲート電極27の整合した領域の半導体基板11に、この半導体基板11と逆導電型の不純物であるボロンを導入して、ソース領域31とドレイン領域33とを形成する。このソース領域31とドレイン領域33とを形成するためのボロンのイオン注入量は、 $3 \times 10^{15} \text{ cm}^{-2}$ 程度の条件で行う。

【0054】つぎに図5に示すように、リンとボロンとを含む酸化シリコン膜からなる層間絶縁膜39を400nm程度の膜厚で、化学気相成長法により形成する。

【0055】その後、層間絶縁膜39上に感光性樹脂（図示せず）を回転塗布法により形成し、所定のフォトマスクを用いて露光処理と現像処理とを行い、コンタクトホールに対応する開口を有する感光性樹脂を形成するように、パターニングする。

【0056】その後、このパターニングした感光性樹脂をエッチングマスクに用いて層間絶縁膜39をパターニングしてコンタクトホール41を形成する。

【0057】その後、スパッタリング装置を用いて、シリコンと銅とを含むアルミニウムからなる配線材料を800nm程度の膜厚で形成する。

【0058】その後、配線材料上に感光性樹脂（図示せず）を回転塗布法により形成し、所定のフォトマスクを用いて露光処理と現像処理とを行い、配線に対応する形状を有する感光性樹脂をパターニングする。

【0059】その後、このパターニングした感光性樹脂をエッチングマスクに用いて配線材料をパターニングし、配線43を形成して、半導体不揮発性記憶装置を得ることができる。

【0060】この結果、メモリトランジスタ35に隣接してMOSトランジスタ37を有する半導体不揮発性記憶装置を形成することができる。

【0061】つぎに本発明の他の実施例における半導体不揮発性記憶装置を説明する。まずはじめに、図10の断面図を用いて本発明の半導体不揮発性記憶装置の構造を説明する。

【0062】図10に示すように、本発明の半導体不揮

発性記憶装置は、半導体基板11上に設けるトンネル酸化膜13と窒化シリコン膜15とトップ酸化膜17とからなるメモリゲート絶縁膜19を有する。

【0063】さらにこのメモリゲート絶縁膜19の両側の領域の半導体基板11に、メモリゲート絶縁膜19と接触するように、酸化シリコン膜21と窒化シリコン膜15とからなるMOSゲート絶縁膜23を設ける。

【0064】そしてこのメモリゲート絶縁膜19とMOSゲート絶縁膜23との上にゲート電極27を設ける。

【0065】さらにゲート電極27に整合した領域に、半導体基板11と逆導電型のソース領域31とドレイン領域33とを設ける。

【0066】さらにコンタクトホール41を有する層間絶縁膜39を設ける。そしてこのコンタクトホール41を介して、ソース領域31とドレイン領域33と接続する配線43を設ける。

【0067】この図10に示す半導体不揮発性記憶装置と、図5に示す半導体不揮発性記憶装置との構成上の相違点は、図5の構成ではメモリトランジスタ35の片側の領域にMOSトランジスタ37を設けているが、図10の構成ではメモリトランジスタ35の両側の領域に、このメモリトランジスタ35と接触するようにMOSトランジスタ37を設けている点である。

【0068】本発明の半導体不揮発性記憶装置は、MOSゲート絶縁膜23として、酸化シリコン膜21と窒化シリコン膜15との二層構造によって構成している。

【0069】このため本発明の半導体不揮発性記憶装置においては、ゲート電極27からの不純物の拡散を窒化シリコン膜21によって抑制し、不純物の半導体基板11への導入を抑えることができる。この結果、MOSトランジスタのしきい値電圧の変動は発生しない。

【0070】つぎに、この図10に示す半導体不揮発性記憶装置を形成するための製造方法を、図6から図10の断面図を用いて説明する。

【0071】まず図6に示すように、導電型がN型の半導体基板11を酸化処理して、シリコン酸化膜からなる酸化シリコン膜21を29nmの膜厚で形成する。

【0072】その後、回転塗布法により酸化シリコン膜21上の全面に感光性樹脂29を形成し、所定のフォトマスクを用いて露光処理と、現像処理を行い、メモリトランジスタの形成領域が開口するように感光性樹脂29をパターニングする。

【0073】つぎに図7に示すように、感光性樹脂29をエッチングマスクに用いて酸化シリコン膜21のパターニングを行い、酸化シリコン膜21にメモリトランジスタ形成領域に対応する開口部を形成する。その後、エッチングマスクに用いた、酸化シリコン膜21上の感光性樹脂29を除去する。

【0074】その後、酸化処理を行い、酸化シリコン膜21の開口部内の半導体基板11上に、膜厚が2nmの

シリコン酸化膜からなるトンネル酸化膜13を形成する。

【0075】この酸化処理により酸化シリコン膜21の膜厚は増加し、前述の29nmの膜厚が30nmの膜厚になる。

【0076】その後、ジクロルシラン( $\text{SiH}_2\text{Cl}_2$ )とアンモニア( $\text{NH}_3$ )とを反応ガスとして用いる化学気相成長法により、膜厚が11nmの窒化シリコン膜15を全面に形成する。

【0077】その後、酸化処理を行って窒化シリコン膜15上にシリコン酸化膜からなるトップ酸化膜17を膜厚5nm形成する。このトップ酸化膜17を窒化シリコン膜15上に形成することにより、窒化シリコン膜15の膜厚は減少し、当初の膜厚11nmから8nmの膜厚になる。

【0078】その後、回転塗布法により全面に感光性樹脂29を形成し、所定のフォトマスクを用いて露光、現像処理を行い、MOSトランジスタの形成領域を含む領域が開口するように、すなわち酸化シリコン膜21上の領域が開口するように感光性樹脂29をパターニングする。

【0079】つぎに図8に示すように、感光性樹脂29をエッチングマスクに用いて、感光性樹脂29を形成していない領域のトップ酸化膜17を除去する。その後、エッチングマスクに用いた、トップ酸化膜17上の感光性樹脂29を除去する。

【0080】この結果、MOSトランジスタの形成領域に酸化シリコン膜21と窒化シリコン膜15とからなるMOSゲート絶縁膜23と、メモリトランジスタの形成領域にトンネル酸化膜13と窒化シリコン膜15とトップ酸化膜17とからなるメモリゲート絶縁膜19とを形成することができる。ここでMOSゲート絶縁膜23を構成する窒化シリコン膜15と、メモリゲート絶縁膜19を構成する窒化シリコン膜15とは、ほぼ同じ膜厚で形成する。

【0081】その後、反応ガスとしてモノシラン( $\text{SiH}_4$ )を用いる化学気相成長法により、膜厚が400nmの多結晶シリコン膜からなるゲート電極材料25を全面に形成する。

【0082】その後、回転塗布法によりゲート電極材料25上の全面に感光性樹脂29を形成し、所定のフォトマスクを用いて露光、現像処理を行い、メモリトランジスタとMOSトランジスタの形成領域に感光性樹脂29を形成するように、パターニングする。

【0083】つぎに図9に示すように、感光性樹脂29をエッチングマスクに用いて、ゲート電極材料25をエッチングしてゲート電極27を形成する。さらに感光性樹脂29をエッチングマスクに用いて窒化シリコン膜15をエッチングする。

【0084】その後、ゲート電極材料25と窒化シリコ

ン膜15とのエッチングマスクに用いた感光性樹脂29を除去する。

【0085】この結果、ゲート電極27の下の領域にトンネル酸化膜13と窒化シリコン膜15とトップ酸化膜17とからなるメモリゲート絶縁膜19の両側の領域に、酸化シリコン膜21と窒化シリコン膜15とからなるMOSゲート絶縁膜23を形成することができる。

【0086】その後、ゲート電極27の整合した領域の半導体基板11に、この半導体基板11と逆導電型の不純物であるボロンを導入して、ソース領域31とドレイン領域33とを形成する。

【0087】つぎに図10に示すように、リンとボロンとを含む酸化シリコン膜からなる層間絶縁膜39を400nm程度の膜厚で、化学気相成長法により形成する。

【0088】その後、層間絶縁膜39上に感光性樹脂(図示せず)を回転塗布法により形成し、所定のフォトマスクを用いて露光処理と現像処理とを行い、コンタクトホールに対応する開口を有する感光性樹脂をパターニングする。

【0089】その後、このパターニングした感光性樹脂をエッチングマスクに用いて層間絶縁膜39をパターニングしてコンタクトホール41を形成する。

【0090】その後、スパッタリング装置を用いて、シリコンと銅とを含むアルミニウムからなる配線材料を800nm程度の膜厚で形成する。

【0091】その後、配線材料上に感光性樹脂(図示せず)を回転塗布法により形成し、所定のフォトマスクを用いて露光処理と現像処理とを行い、配線に対応する形状を有する感光性樹脂をパターニングする。

【0092】その後、このパターニングした感光性樹脂をエッチングマスクに用いて配線材料をパターニングし、配線43を形成して、半導体不揮発性記憶装置を得ることができる。

【0093】この結果、メモリトランジスタ35の両側の領域にMOSトランジスタ37を有する半導体不揮発性記憶装置を形成することができる。

【0094】なお以上の説明においては、ゲート電極27に含まれる不純物としてボロンの例で説明したが、リンや砒素を含むゲート電極を有する半導体不揮発性記憶装置においても本発明の手段を適用することができる。

【0095】

【発明の効果】以上の説明で明らかなように、本発明の半導体不揮発性記憶装置の構造と製造方法とによれば、ゲート電極からの不純物の拡散を窒化シリコン膜で抑えることができる。このため、MOSトランジスタのしきい値電圧の変動を抑えることが可能となり、高い信頼性を有する半導体不揮発性記憶装置が得られる。

【図面の簡単な説明】

【図1】本発明の実施例における半導体不揮発性記憶装置の製造方法を示す断面図である。

11

12

【図 2】本発明の実施例における半導体不揮発性記憶装置の製造方法を示す断面図である。

【図 3】本発明の実施例における半導体不揮発性記憶装置の製造方法を示す断面図である。

【図 4】本発明の実施例における半導体不揮発性記憶装置の製造方法を示す断面図である。

【図 5】本発明の実施例における半導体不揮発性記憶装置の構造と製造方法とを示す断面図である。

【図 6】本発明の実施例における半導体不揮発性記憶装置の製造方法を示す断面図である。

【図 7】本発明の実施例における半導体不揮発性記憶装置の製造方法を示す断面図である。

【図 8】本発明の実施例における半導体不揮発性記憶装置の製造方法を示す断面図である。

【図 9】本発明の実施例における半導体不揮発性記憶装置の製造方法を示す断面図である。

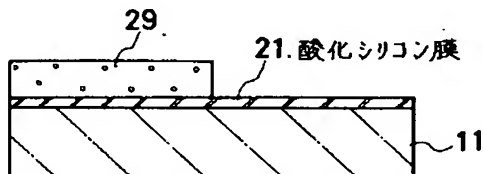
【図 10】本発明の実施例における半導体不揮発性記憶装置の構造と製造方法とを示す断面図である。

【図 11】従来例における半導体不揮発性記憶装置の構造を示す断面図である。

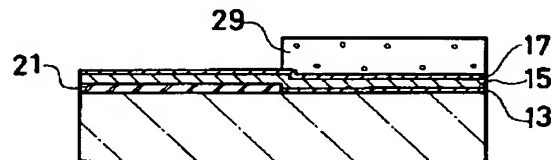
【符号の説明】

- 1 3 トンネル酸化膜
- 1 5 窒化シリコン膜
- 1 7 トップ酸化膜
- 1 9 メモリゲート絶縁膜
- 2 1 酸化シリコン膜
- 2 3 MOSゲート絶縁膜
- 2 7 ゲート電極

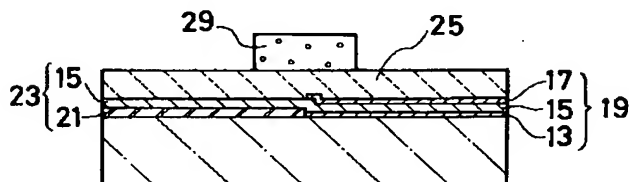
【図 1】



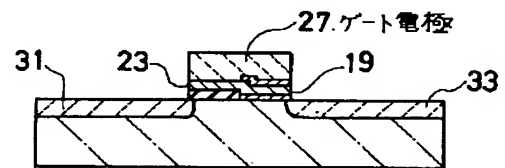
【図 2】



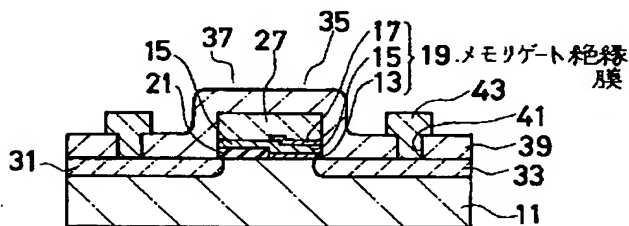
【図 3】



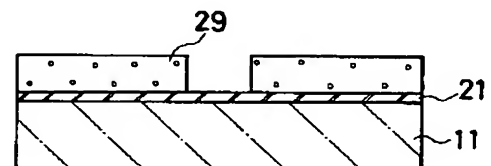
【図 4】



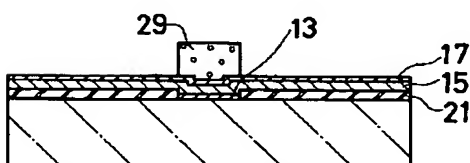
【図 5】



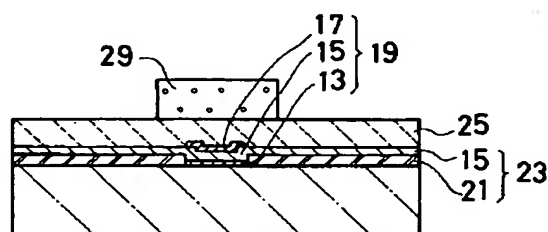
【図 6】



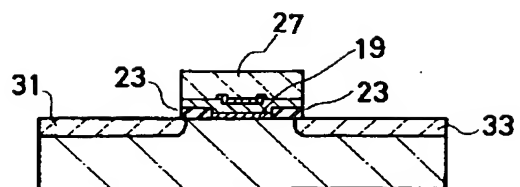
【図 7】



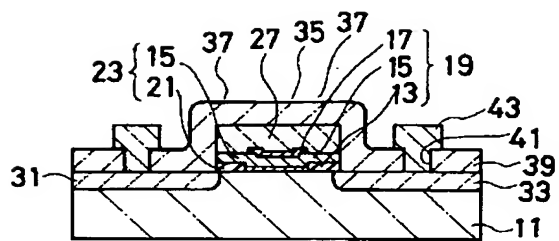
【図 8】



【図9】



【図10】



【図11】

